

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2004 年 3 月 11 日 (11.03.2004)

PCT

(10) 国際公開番号
WO 2004/021439 A1

(51) 国際特許分類⁷: H01L 27/04, H01G 4/33

(21) 国際出願番号: PCT/JP2003/011132

(22) 国際出願日: 2003 年 9 月 1 日 (01.09.2003)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2002-254370 2002 年 8 月 30 日 (30.08.2002) JP
特願2002-322244 2002 年 11 月 6 日 (06.11.2002) JP

(71) 出願人 (米国を除く全ての指定国について): 松下電
器産業株式会社 (MATSUSHITA ELECTRIC INDUS-
TRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市
大字門真1006番地 Osaka (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 日野 拓生

(HINO, Takuo) [JP/JP]; 〒534-0023 大阪府 大阪市
都島区都島南通2-1-3-314 Osaka (JP). 南 善久 (MI-
NAMI, Yoshihisa) [JP/JP]; 〒520-0102 滋賀県 大津市
苗鹿2-26-25 Shiga (JP).

(74) 代理人: 特許業務法人池内・佐藤アンドパートナー
ズ (IKEUCHI SATO & PARTNER PATENT ATTOR-
NEYS); 〒530-6026 大阪府 大阪市 北区天満橋1丁目8
番30号OAPタワー26階 Osaka (JP).

(81) 指定国 (国内): CN, US.

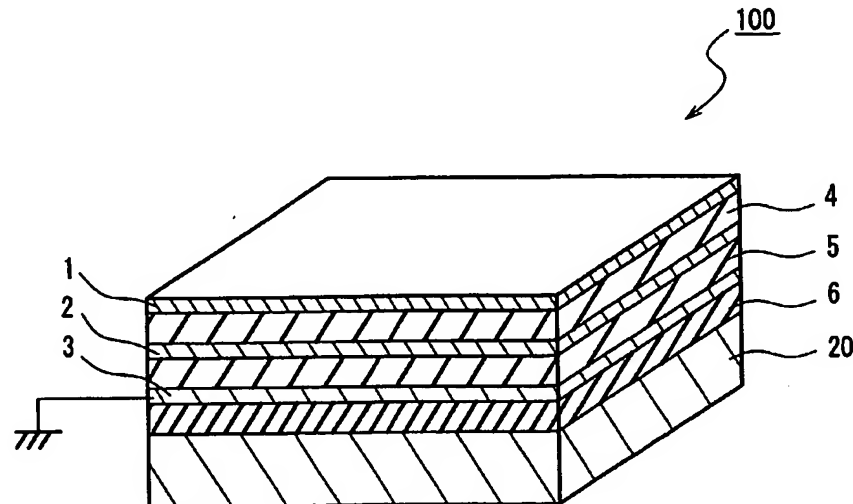
(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,
NL, PT, RO, SE, SI, SK, TR).

添付公開書類:
— 国際調査報告書

2 文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

(54) Title: MIM CAPACITOR

(54) 発明の名称: MIM容量



(57) Abstract: An MIM (Metal-Insulator-Metal) capacitor comprises a substrate, a first metal region, a second metal region formed between the substrate and the first metal region, and a first insulating layer formed between the first metal region and the second metal region. The capacitance of the MIM capacitor is dependent on the areas of the first metal region and the second metal region which are opposite to each other. The MIM capacitor further comprises a third metal region formed between the second metal region and the substrate and a second insulating layer formed between the third metal region and the second metal region. The third metal region is connected to the ground potential.

[続葉有]



(57) 要約: MIM容量は、基板と、第1金属領域と、前記基板と前記第1金属領域との間に形成された第2金属領域と、前記第1金属領域と前記第2金属領域との間に形成された第1絶縁層とを具備しており、前記第1金属領域と前記第2金属領域との対向面積によって容量値が定まるMIM (Metal-Insulator-Metal) 容量であって、前記第2金属領域と前記基板との間に形成された第3金属領域と、前記第3金属領域と前記第2金属領域との間に形成された第2絶縁層とをさらに具備しており、前記第3金属領域は、接地電位に接続されている。

明 細 書

M I M 容量

技術分野

本発明は、基板と、第 1 金属領域と、基板と第 1 金属領域との間に形成された第 2 金属領域と、第 1 金属領域と第 2 金属領域との間に形成された第 1 絶縁層とを具備しており、第 1 金属領域と第 2 金属領域との対向面積によって容量値が定まる M I M (M e t a l - I n s u l a t o r - M e t a l) 容量に関する。

10 背景技術

特開平 7 - 3 2 6 7 1 2 号公報には、従来の M I M 容量の構成が開示されている。図 1 8 は、従来の M I M 容量 9 0 の構成を示す断面斜視図である。

M I M 容量 9 0 は、基板 2 0 を備えている。基板 2 0 は、エピタキシャル層もしくはサブストレートによって構成されている。基板 2 0 の上には、絶縁体 6、金属領域 2、絶縁体 4 および金属領域 1 がこの順番に積層されている。このように M I M 容量 9 0 は、金属領域 1 と金属領域 2 とによって絶縁体 4 を挟み込む構成を有しており、M I M 容量 9 0 の容量値は、金属領域 1 と金属領域 2 との対向面積によって定まる。

図 1 9 は、従来の M I M 容量 9 0 の等価回路の構成を示す回路図である。等価回路は、金属領域 1 と金属領域 2 との対向面積によって定まる容量値を有する容量 7 を備えている。この寄生素子を示す等価回路において、容量 7 の一端には、上部電極となる金属領域 1 及び 2 の寄生抵抗をあらわす抵抗 1 4 と、金属領域 1 及び 2 の寄生インダクタンスを表す

インダクタ 18 とが直列に接続されている。

容量 8 は、上部電極となる金属領域 1 と基板 20 との間の容量を示し、容量 10 は、下部電極となる金属領域 2 と基板 20 との間の容量を示している。容量 9 および 11 は、基板 20 内の半導体の容量を示している。

- 5 抵抗 15 および 16 は、基板 20 内の半導体の抵抗を示している。

特開平 5-283614 号公報には、図 18 を参照して記述した構成と類似した、3 層構造を備えた MIM 容量が開示されている。

- このような MIM 容量は、高周波回路において容量を必要とする場合に一般的に多く使用されている。なぜなら、このように構成された MIM 容量では、シリコン基板（エピタキシャル層（以下「基板」という）と電極との間に発生する寄生素子値が、他の構造の容量に比べて相対的に小さいため、回路の劣化が少ないからである。

最近の通信分野ではギガヘルツ（GHz）帯の高周波で動作する回路が増えているため、MIM 容量を高性能化する必要が生じてきている。

- 15 例えば、電圧制御発振器（以下、「VCO」ともいう）では MIM 容量の Q 値が電圧制御発振器の性能を決定する要素の 1 つとなっている。

- しかしながら、前述した従来の構成の MIM 容量では、金属領域 1 および金属領域 2 と基板 20 との間における寄生素子の容量における Q 値が低いため、寄生素子を含めた MIM 容量全体の Q 値も低くなってしまうという問題がある。

MIM 容量の Q 値は、例えば、容量値を C とし、MIM 容量の内部直列損失抵抗を R とし、MIM 容量が使用される周波数を ω ($= 2 \times \pi \times f$: 周波数) とすると、下記の（式 1）によって示される。

$$Q = 1 / (R \times \omega \times C) \quad \dots \text{（式 1）}$$

- 25 ここで MIM 容量の Q 値が劣化すると、VCO の性能の劣化を招く。このため、MIM 容量の Q 値をさらに高くすることが求められている。

MIM容量のQ値をさらに高くするためには、MIM容量に設けられた金属領域と基板との間の寄生容量のQ値を改善する必要がある。

本発明の目的は、高性能なMIM容量を提供することにある。

5 発明の開示

本発明に係るMIM容量は、基板と、第1金属領域と、前記基板と前記第1金属領域との間に形成された第2金属領域と、前記第1金属領域と前記第2金属領域との間に形成された第1絶縁層とを具備しており、前記第1金属領域と前記第2金属領域との対向面積によって容量値が定まるMIM (Metal-Insulator-Metal) 容量であって、前記第2金属領域と前記基板との間に形成された第3金属領域と、前記第3金属領域と前記第2金属領域との間に形成された第2絶縁層とをさらに具備しており、前記第3金属領域は、接地電位に接続されていることを特徴とする。

15 さらに前記第3金属領域には、Q値を可変とするために、少なくとも1個の金属のない領域が形成されている。

本発明に係る他のMIM容量は、基板と、第1金属領域と、前記基板と前記第1金属領域との間に形成された第2金属領域と、前記第1金属領域と前記第2金属領域との間に形成された第1絶縁層とを具備しており、前記第1金属領域と前記第2金属領域との対向面積によって容量値が定まるMIM (Metal-Insulator-Metal) 容量であって、前記第2金属領域と前記基板との間に形成された導電性を有する拡散層と、前記拡散層と前記第2金属領域との間に形成された第2絶縁層とをさらに具備しており、前記拡散層は、接地電位に接続されていることを特徴とする。

25 本発明に係るさらに他のMIM容量は、基板と、前記基板にそれぞれ

対向するように形成された第 1 金属領域および第 2 金属領域と、前記第 1 金属領域に対向するように前記第 1 金属領域と前記基板との間に形成された第 3 金属領域と、前記第 2 金属領域に対向するように前記第 2 金属領域と前記基板との間に形成された第 4 金属領域と、前記第 1 金属領域と前記第 3 金属領域との間および前記第 2 金属領域と前記第 4 金属領域との間に形成された絶縁膜とを具備しており、前記第 1 金属領域と前記第 3 金属領域との対向面積によって第 1 容量値が定まり、前記第 2 金属領域と前記第 4 金属領域との対向面積によって第 2 容量値が定まる M I M 容量であって、前記第 3 金属領域と前記第 4 金属領域との双方に対向するように前記第 3 金属領域および前記第 4 金属領域と前記基板との間に電氣的浮遊状態で形成された第 5 金属領域をさらに具備することを特徴とする。

本発明に係るさらに他の M I M 容量は、基板と、前記基板にそれぞれ対向するように形成された第 1 金属領域および第 2 金属領域と、前記第 1 金属領域と前記第 2 金属領域との双方に対向するように前記第 1 金属領域および前記第 2 金属領域と前記基板との間に形成された第 3 金属領域とを具備しており、前記第 1 金属領域と前記第 3 金属領域との対向面積によって第 1 容量値が定まり、前記第 2 金属領域と前記第 3 金属領域との対向面積によって第 2 容量値が定まる M I M 容量であって、前記第 3 金属領域は、電氣的浮遊状態になるように形成されていることを特徴とする。

図面の簡単な説明

図 1 は、実施の形態 1 に係る M I M 容量の構成を示す断面斜視図である。

図 2 は、実施の形態 1 に係る M I M 容量の等価回路の構成を示す回路

図である。

図 3 は、実施の形態 1 に係る M I M 容量に含まれる影響の大きい寄生素子のみからなる等価回路の構成を示す回路図である。

5 図 4 は、実施の形態 2 に係る M I M 容量の構成を示す断面斜視図である。

図 5 は、実施の形態 2 に係る M I M 容量に設けられた金属領域間の面積比と接地電位間の寄生容量との間の関係を示すグラフである。

図 6 は、実施の形態 2 に係る M I M 容量に設けられた金属領域間の面積比と寄生容量の Q 値との間の関係を示すグラフである。

10 図 7 は、実施の形態 3 に係る M I M 容量の構成を示す断面斜視図及び平面図である。

図 8 (a) は、実施の形態 1 に係る M I M 容量に設けられた金属領域の平面図である。

15 図 8 (b) は、実施の形態 2 に係る M I M 容量に設けられた金属領域の平面図である。

図 8 (c) は、実施の形態 3 に係る M I M 容量に設けられた金属領域の平面図である。

図 9 は、実施の形態 4 に係る M I M 容量の構成を示す断面斜視図である。

20 図 10 は、実施の形態 4 に係る M I M 容量の等価回路の構成を示す回路図である。

図 11 は、実施の形態 4 に係る M I M 容量の使用例を示す回路図である。

25 図 12 は、実施の形態 5 に係る M I M 容量の構成を示す断面斜視図である。

図 13 は、実施の形態 5 に係る M I M 容量の等価回路の構成を示す回

路図である。

図 1 4 は、実施の形態 6 に係る M I M 容量の構成を示す断面斜視図である。

5 図 1 5 は、実施の形態 7 に係る M I M 容量の構成を示す断面斜視図である。

図 1 6 は、実施の形態 7 に係る M I M 容量の使用例を示す回路図である。

図 1 7 は、実施の形態 8 に係る M I M 容量の構成を示す図である。

図 1 8 は、従来の M I M 容量の構成を示す断面斜視図である。

10 図 1 9 は、従来の M I M 容量の等価回路の構成を示す回路図である。

発明を実施するための最良の形態

本実施の形態に係る M I M 容量は、基板と、第 1 金属領域と、前記基板と前記第 1 金属領域との間に形成された第 2 金属領域と、前記第 1 金属領域と前記第 2 金属領域との間に形成された第 1 絶縁層とを具備して
15 おり、前記第 1 金属領域と前記第 2 金属領域との対向面積によって容量値が定まる M I M (Metal-Insulator-Metal) 容量であって、前記第 2 金属領域と前記基板との間に形成された第 3 金属領域と、前記第 3 金属領域と前記第 2 金属領域との間に形成された第 2
20 絶縁層とをさらに具備しており、前記第 3 金属領域は、接地電位に接続されている。このため、第 1 および第 2 金属領域は、第 3 金属領域と基板との間に存在する寄生素子の影響を受けない。その結果、回路性能が良好な M I M 容量を得ることができる。

この実施の形態では、前記第 3 金属領域には、前記第 3 金属領域の前
25 記第 2 金属領域に対向する面から前記基板に対向する面へ向かって少なくとも 1 本の金属のない領域が形成されていることが好ましく、前記第

3 金属領域に形成された前記少なくとも 1 個の金属のない領域は、複数の金属のない領域であることが好ましい。

前記複数の金属のない領域は、互いに平行に形成されていることが好ましい。

5 前記複数の金属のない領域は、互いに交差するように形成されていることが好ましい。

前記少なくとも 1 個の金属のない領域は、前記第 3 金属領域を対称に分割するように形成されていることが好ましい。

10 本実施の形態に係る他のMIM容量においては、第2金属領域と基板との間に形成された導電性を有する拡散層を備え、かつ接地電位に接続されている。このため、第1および第2金属領域は、拡散層と基板との間に存在する寄生素子の影響を受けない。その結果、回路性能が良好なMIM容量を得ることができる。

本実施の形態に係るさらに他のMIM容量は、同一平面上の第1金属領域と第2金属領域を備え、基板と、前記基板にそれぞれ対向するように形成された第1金属領域および第2金属領域と、前記第1金属領域に対向するように前記第1金属領域と前記基板との間に形成された第3金属領域と、前記第2金属領域に対向するように前記第2金属領域と前記基板との間に形成された第4金属領域と、前記第1金属領域と前記第3金属領域との間および前記第2金属領域と前記第4金属領域との間に形成された絶縁膜とを具備しており、前記第1金属領域と前記第3金属領域との対向面積によって第1容量値が定まり、前記第2金属領域と前記第4金属領域との対向面積によって第2容量値が定まるMIM容量であって、前記第3金属領域と前記第4金属領域との双方に対向するように前記第3金属領域および前記第4金属領域と前記基板との間に電気的浮遊状態で形成された第5金属領域をさらに具備する。このため、第1お

よび第 3 金属領域ならびに第 2 および第 4 金属領域は、第 5 金属領域と基板との間に存在する寄生素子の影響を受けない。その結果、回路性能が良好な MIM 容量を得ることができる。

この実施の形態では、前記第 5 金属領域は、接地電位に接続されていることが好ましい。

前記第 5 金属領域は、前記第 3 金属領域に対するインピーダンスと前記第 4 金属領域に対するインピーダンスとが実質的に等しくなるような接続点において前記接地電位に接続されていることが好ましい。

本実施の形態に係るさらに他の MIM 容量は、基板と、前記基板にそれぞれ対向するように形成された第 1 金属領域および第 2 金属領域と、前記第 1 金属領域と前記第 2 金属領域との双方に対向するように前記第 1 金属領域および前記第 2 金属領域と前記基板との間に形成された第 3 金属領域とを具備しており、前記第 1 金属領域と前記第 3 金属領域との対向面積によって第 1 容量値が定まり、前記第 2 金属領域と前記第 3 金属領域との対向面積によって第 2 容量値が定まる MIM 容量であって、前記第 3 金属領域は、電氣的浮遊状態になるように形成されている。このため、第 1、第 2 および第 3 金属領域は、第 3 金属領域と基板との間に存在する寄生素子の影響を受けない。その結果、回路性能が良好な MIM 容量を得ることができる。

この実施の形態では、前記第 3 金属領域は、接地電位に接続されていることが好ましい。

前記第 3 金属領域は、前記第 1 金属領域に対するインピーダンスと前記第 2 金属領域に対するインピーダンスとが実質的に等しくなるような接続点において前記接地電位に接続されていることが好ましい。

以下、図面を参照して本発明の実施の形態を説明する。

(実施の形態 1)

図 1 は、実施の形態 1 に係る MIM 容量 100 の構成を示す断面斜視図である。MIM 容量 100 は、基板 20 を備えている。基板 20 は、エピタキシャル層によって形成されたシリコン基板によって構成されている。基板 20 の上には、絶縁層 6 と金属領域 3 と絶縁層 5 と金属領域 5 2 と絶縁層 4 と金属領域 1 とがこの順番に形成されている。

金属領域 1 と金属領域 2 とが MIM 容量 100 の端子となっており、金属領域 1 と金属領域 2 との対向面積によって MIM 容量 100 の容量値が定まる。金属領域 3 は、接地電位に接続されている。

図 2 は、実施の形態 1 に係る MIM 容量 100 の等価回路の構成を示す回路図である。等価回路は、金属領域 1 と金属領域 2 との対向面積によって定まる容量値を有する容量 7 を備えている。この寄生容量を示す等価回路において、容量 7 の一端には、上部電極となる金属領域 1 の寄生抵抗をあらわす抵抗 14 と、金属領域 1 の寄生インダクタンスを表すインダクタ 18 とが直列に接続されている。インダクタ 18 には、金属領域 2 が接続されている。容量 7 の他端には、金属領域 1 が接続されている。

金属領域 1 には、金属領域 1 と基板 20 との間の寄生素子を表す回路 1B が接続されている。回路 1B は、金属領域 1 に接続された容量 8 を含んでいる。容量 8 には、容量 9 と抵抗 15 とが直列に接続されており、容量 9 と抵抗 15 とは互いに並列に接続されている。

金属領域 2 には、金属領域 2 と基板 20 との間の寄生素子を表す回路 2B が接続されている。回路 2B は、金属領域 2 に接続された容量 10 を含んでいる。容量 10 には、容量 11 と抵抗 16 とが直列に接続されており、容量 11 と抵抗 16 とは互いに並列に接続されている。

金属領域 2 には、金属領域 3 と基板 20 との間の寄生素子を表す回路 3B がさらに接続されている。回路 3B は、金属領域 2 に接続された容

量 1 2 を含んでいる。容量 1 2 には、容量 1 3 と抵抗 1 7 とが直列に接続されており、容量 1 3 と抵抗 1 7 とは互いに並列に接続されている。容量 1 2 は、金属領域 3 と基板 2 0 との間の容量を表しており、この容量 1 2 の損失抵抗が抵抗 1 7 である。

- 5 これらの寄生素子の影響を検討するために、影響の小さい寄生素子を除いて考えるものとする。図 3 は、実施の形態 1 に係る M I M 容量に含まれる影響の大きい寄生素子のみからなる等価回路の構成を示す回路図である。インダクタ 1 8 の影響は小さく、金属領域 1 と基板 2 0 との間の寄生容量を表す容量 8 および容量 9 の影響も小さく、容量 1 1 および
- 10 1 3 との影響も小さいので、図 3 ではこれらを省略して等価回路を示している。

前述したように金属領域 3 は接地されており、接地された金属領域 3 と金属領域 2 との間に絶縁層 5 が形成されている。このため、抵抗 1 7 は金属領域 2 および 3 の金属抵抗のみとなり、抵抗 1 6 よりも小さくなる。

15 従って、金属領域 2 と金属領域 3 との間の Q 値は、金属領域 2 と基板 2 0 との間の Q 値よりも高くなる。

以上のように実施の形態 1 によれば、金属領域 2 と基板 2 0 との間に形成された金属領域 3 が、接地電位に接続されている。このため、金属領域 1 および 2 は、金属領域 3 と基板 2 0 との間に存在する寄生素子の

20 影響を受けない。その結果、回路性能が良好な M I M 容量を得ることができる。

(実施の形態 2)

図 4 は、実施の形態 2 に係る M I M 容量 1 0 0 A の構成を示す断面斜視図である。図 1 を参照して前述した実施の形態 1 に係る M I M 容量 1

25 0 0 の構成要素と同一の構成要素には同一の参照符号を付している。従って、これらの構成要素の詳細な説明は省略する。

実施の形態 1 に係る MIM 容量 100 と異なる点は、金属領域 3 の替わりに金属領域 3P が形成されている点である。金属領域 3P には、2本の金属のない領域 31 が形成されている。このように、金属領域 3P の金属領域 2 に対向する面積は、実施の形態 1 において前述した金属領域 3 の金属領域 2 に対向する面積よりも 2 本の金属のない領域 31 の金属層 2 に平行な面積分だけ狭くなっている。

実施の形態 2 に係る MIM 容量 100A の等価回路は、図 3 を参照して前述した実施の形態 2 に係る MIM 容量 100 の等価回路と同等である。金属のない領域 31 の上下に位置する金属領域 2 と基板 20 との間の寄生容量が容量 10 および抵抗 16 に相当する。

図 5 は実施の形態 2 に係る MIM 容量 100A に設けられた金属領域 3P と金属領域 2 との間の面積比と接地電位間の寄生容量との間の関係を示すグラフであり、図 6 は MIM 容量 100A に設けられた金属領域 3P と金属領域 2 との間の面積比と、寄生容量の Q 値との間の関係を示すグラフである。

金属領域 3P に金属のない領域を形成して金属領域 3P の金属領域 2 に平行な面の面積を調整することにより、金属領域 2 の対接地寄生容量の Q 値と接地電位との間の寄生容量値とを制御することができる。例えば、金属領域 3P の面積と金属領域 2 の面積との比 (=A とする) と寄生容量の Q 値と寄生容量とを計算する。

容量 12 と抵抗 17 とによって定まる、金属領域 2 と金属領域 3 との間の寄生容量の Q 値を $Q_1 = 50$ とし、金属領域 3 と基板 20 との間の寄生容量 10 と、抵抗 16 とによって定まる寄生容量の Q 値を $Q_2 = 10$ とし、容量 7 が 1 ピコファラッド (pF) の時における金属領域 2 の容量 10 を 0.06 ピコファラッド (pF) とし、金属領域 2 の面積と同じ面積を有する金属領域 3 を形成した場合の寄生容量を 0.1 ピコフ

ァラッド (pF) とすると、金属領域 2 の対接地寄生容量の合計 C、および寄生容量の合計 Q は、次の (式 2) および (式 3) によって示される。

$$C = C_1 \times A + C_2 \times (1 - A) \quad \dots (式 2)$$

$$5 \quad Q = (Q_1 \times Q_2 \times A \times C_1 + Q_1 \times Q_2 \times (1 - A) \times C_2) \\ \div (Q_1 \times (1 - A) \times C_2 + Q_2 \times A \times C_1) \quad \dots (式 3)$$

上記 (式 2) および (式 3) に前述した具体的な値を代入して金属領域 2 の対接地電位の寄生容量の合計 C および寄生容量の合計 Q を計算すると、次のようになる。

$$10 \quad C = 0.1 \times A + 0.06 \times (1 - A) \quad (pF) \\ Q = (50 \times 10 \times A \times 0.1 + 50 \times 10 \times (1 - A) \times 0.06) \\ \div (50 \times (1 - A) \times 0.06 + 10 \times A \times 0.1)$$

金属領域 2 の対接地寄生容量の合計 C の結果を図 5 に示し、寄生容量の合計 Q の結果を図 6 に示す。

15 図 6 に示すように、例えば寄生容量の Q 値を 20 にしたいときは、金属領域 3 P の面積と金属領域 2 の面積との比率を 0.5 にすればよい。つまり、金属領域 2 の面積の半分を金属領域 3 P によってシールドすればよい。その時の対接地容量 C は、0.08 ピコファラッド (pF) となっている。

20 このように、金属領域 3 P に金属が無い領域を形成して金属領域 3 P の面積を調整することにより、Q 値と接地電位との間の寄生容量を調整することができる。

実施の形態 2 では、金属のない領域 3 1 が空洞である例を示した。しかしながら本発明はこれに限定されない。金属のない領域 3 1 に絶縁物が形成されていてもよい。後述する実施の形態 3 においても同様である。

(実施の形態 3)

図 7 は、実施の形態 3 に係る M I M 容量 1 0 0 B の構成を示す断面斜視図である。図 1 を参照して前述した実施の形態 1 に係る M I M 容量 1 0 0 の構成要素と同一の構成要素には同一の参照符号を付している。従って、これらの構成要素の詳細な説明は省略する。

- 5 最近の通信分野では G H z 帯の高周波で動作する回路の利用が増え、M I M 容量の高性能化が必要となってきた。例えば入出力回路等の整合回路で使用了場合、寄生素子の抵抗成分による損失が問題となるし、電圧制御発信器等で使用了場合には寄生素子の抵抗成分が Q 値の劣化を招き発信器の性能を悪化させる。また、信号線路等に使用了場合
- 10 合も寄生素子の時定数の変動が伝送信号の遅延量を変動させ、システムを不安定にする等の問題が発生する。

- 図 1 を参照して前述した実施の形態 1 のように、金属領域 2 と半導体基板 2 0 との間に、設置された金属領域 3 を付け加える構成によって、金属領域 2 を半導体基板 2 0 からシールドし、金属領域 2 に付加される
- 15 寄生容量を、損失抵抗がなく、ばらつきの少ない容量に変換することができる。このため、図 2 に示す容量 7 の性能を向上させることができる。

- 実施の形態 1 に係る M I M 容量 1 0 0 と異なる点は、金属領域 3 の代わりに金属領域 3 Q が形成されている点である。金属領域 3 Q には、金属領域 2 の平面に平行に 2 本の空間が互いに交差して形成されている。
- 20 このように、金属領域 3 P の金属領域 2 に対向する面積は、実施の形態 1 において前述した金属領域 3 の金属領域 2 に対向する面積よりも 2 列の金属のない領域 3 2 の面積分だけ狭くなっている。2 列の金属のない領域 3 2 は、M I M 容量の面内での Q 値の変動を避けるためにレイアウトバランスを考慮して互いに直交するように形成されている。

- 25 図 8 (a) は実施の形態 1 に係る M I M 容量 1 0 0 に設けられた金属領域 3 の平面図であり、図 8 (b) は実施の形態 2 に係る M I M 容量 1

00Aに設けられた金属領域3Pの平面図であり、図8(c)は、実施の形態3に係るMIM容量100Bに設けられた金属領域3Qの平面図である。

MIM容量100に設けられた金属領域3には、金属のない領域が形成されておらず、金属領域2と同じ面積を有している。MIM容量100Aに設けられた金属領域3Pには、2列の金属のない領域31が互いに平行に形成されている。MIM容量100Bに設けられた金属領域3Qには、2列の金属のない領域32が互いに直交するように形成されている。しかしながら、本発明はこれに限定されない。金属領域に形成する金属のない領域の数は3以上であってもよい。また、互いに平行に形成された金属のない領域31間の距離は、自由に変更することができる。さらに、金属領域の形状が長方形である例を示しているが、円形等の形状であってもよい。さらに、上部電極を形成する金属領域1の上にさらに別の電極を設けてもよい。

15 (実施の形態4)

図9は、実施の形態4に係るMIM容量200の構成を示す断面斜視図である。MIM容量200は、半導体基板20を備えている。半導体基板20の上には、絶縁層6、金属領域3および絶縁層5がこの順番に形成されている。

20 絶縁層5の上には、金属領域2および金属領域2Aが互いに適当な間隔を空けて形成されている。金属領域2および金属領域2Aの上には、絶縁層4が形成されている。絶縁層4を挟んで金属領域2と対向するように金属領域1が形成されている。そして、絶縁層4を挟んで金属領域2Aと対向するように金属領域1Aが形成されている。

25 図10は、MIM容量200の等価回路の構成を示す回路図である。等価回路は、金属領域1および金属領域2によって構成される容量40

0と、金属領域1Aおよび金属領域2Aによって構成される容量401とを備えている。容量400には、容量102が形成されている。容量102は、容量400に寄生素子として付加される金属領域2と金属領域3との間の容量である。容量102と容量401との間には、容量103が形成されている。容量103は、容量401に寄生素子として付加される金属領域2Aと金属領域3との間の容量である。

容量102および容量103には、容量105が形成されている。容量105は、金属領域3と半導体基板20との間の寄生容量である。容量105には、容量105の寄生容量の内部損失抵抗104が存在する。

10 ポイント106は、金属領域3に相当する。

図11は、実施の形態4に係るMIM容量200の使用例を示す回路図である。図9に示すMIM容量200の容量対を図11に示す差動回路に差動信号を入力するための結合容量として使用すると、図10および図11に示す容量400および容量401の電極に相当するポイントcおよびポイントdにそれぞれ加えられる信号が互いに同振幅および逆位相になる。このため、容量400および容量401の寄生容量102および寄生容量103を通して金属領域3を示すポイント106に充放電される電荷の和が互いに相殺されて零になる。したがって、ポイント106によって表される金属領域3の電位はAC接地状態となる。その結果、図10に示す金属領域3を表すポイント106と半導体基板20との間に存在する寄生素子104および105の影響がなくなる。このため、半導体基板20の影響による損失および容量のQ値の劣化がなくなり、差動信号としての2つの信号の位相のずれ、振幅の差等の問題が生じなくなり、高精度で高品質な回路設計が可能となる。

25 (実施の形態5)

図12は、実施の形態5に係るMIM容量200Aの構成を示す断面

斜視図である。図 9 を参照して前述した実施の形態 4 に係る MIM 容量 200 の構成要素と同一の構成要素には同一の参照符号を付している。従って、これらの構成要素の詳細な説明は省略する。

MIM 容量 200 A は、半導体基板 20 を備えている。半導体基板 20 5 0 の上には、絶縁層 6、金属領域 2 および絶縁層 4 がこの順番に形成されている。絶縁層 4 の上には、金属領域 1 および金属領域 1 A が互いに適当な間隔を空けて形成されている。

図 13 は、MIM 容量 200 A の等価回路の構成を示す回路図である。等価回路は、金属領域 1 および金属領域 2 によって構成される容量 201 と、金属領域 1 A および金属領域 2 によって構成される容量 202 とを 10 含んでいる。ポイント 205 は、容量 201 と容量 202 とに共通する金属領域 2 に対応している。ポイント 205 には、容量 201 と容量 202 とに共通する金属領域 2 と半導体基板 20 との間の寄生容量 203 と、寄生容量 203 の損失抵抗 204 とが直列に接続されている。

図 12 に示す MIM 容量 200 A の容量対を図 16 に示すフィルタ回路の容量として使用すると、図 13 に示す容量 201 および容量 202 15 の金属領域に相当するポイント e およびポイント f から容量 201 および容量 202 を通じて充放電される電荷の総和が互いに相殺されて零になる。

したがって、ポイント 205 によって表される金属領域 2 の電位は A 20 C 接地状態となる。その結果、図 12 に示す金属領域 2 を表すポイント 205 と半導体基板 20 との間に存在する寄生素子 203 および損失抵抗 204 の影響がなくなる。このため、半導体基板 20 の影響による損失および容量の Q 値の劣化がなくなり、差動信号としての 2 つの信号の 25 位相のずれ、振幅の差等の問題が生じなくなり、高精度で高品質な回路設計が可能となる。

(実施の形態 6)

図 1 4 は、実施の形態 6 に係る M I M 容量 2 0 0 B の構成を示す断面斜視図である。図 9 を参照して前述した実施の形態 4 に係る M I M 容量 2 0 0 の構成要素と同一の構成要素には同一の参照符号を付している。

5 従って、これらの構成要素の詳細な説明は省略する。

図 9 を参照して前述した実施の形態 4 に係る M I M 容量 2 0 0 と異なる点は、金属領域 3 を接地電位に接続するための取り出し配線 3 A を設けて、金属領域 3 を接地電位に接続した点である。

10 図 9 および図 1 0 を参照して前述した実施の形態 4 に係る M I M 容量 2 0 0 において、容量 4 0 0 および容量 4 0 1 に加えられる信号に歪が含まれている場合、およびその振幅が互いに異なっている場合には、金属領域 3 にリップル電圧が発生し、図 1 0 に示す寄生素子 1 0 4 および 1 0 5 の影響を若干受けるため、金属領域 3 を取り出し配線 3 A を通じて接地電圧に接続する。

15 さらに、金属領域 3 のシールド効果を強化するために、第 1 の容量を構成する金属領域 2 に対するインピーダンスと第 2 の容量を構成する金属領域 2 A に対するインピーダンスとが実質的に等しくなるような接続点において、取り出し配線 3 A が接地電位に接続されていることが好ましい。第 1 の容量に加えられる信号と第 2 の容量に加えられる信号との
20 間のバランスを保持することができるからである。

(実施の形態 7)

図 1 5 は、実施の形態 7 に係る M I M 容量 2 0 0 C の構成を示す断面斜視図である。図 1 2 を参照して前述した実施の形態 5 に係る M I M 容量 2 0 0 A の構成要素と同一の構成要素には同一の参照符号を付している。
25 従って、これらの構成要素の詳細な説明は省略する。

実施の形態 5 に係る M I M 容量 2 0 0 A と異なる点は、金属領域 2 を

接地電位に接続するための取り出し配線 2 H を設けて、金属領域 2 を接地電位に接続した点である。

図 1 2 および図 1 3 を参照して記述した実施の形態 5 に係る M I M 容量 2 0 0 A において、容量 2 0 1 および容量 2 0 2 に加えられる信号に
5 歪が含まれている場合、およびその振幅が互いに異なっている場合には、金属領域 2 にリップル電圧が発生し、図 1 3 に示す寄生素子 2 0 3 および 2 0 4 の影響を若干受けるため、金属領域 2 を取り出し配線 2 H を通じて接地電圧に接続する。

さらに、金属領域 2 のシールド効果を強化するために、第 1 の容量を
10 構成する金属領域 1 に対するインピーダンスと第 2 の容量を構成する金属領域 6 に対するインピーダンスとが実質的に等しくなるような接続点において、取り出し配線 2 H が接地電位に接続されていることが好ましい。第 1 の容量に加えられる信号と第 2 の容量に加えられる信号との間のバランスを保持することができるからである。さらに、上部電極を形
15 成する金属領域 1 および 6 の上にさらに別の電極を設けてもよい。図 1 5 に示す構成を図 1 6 に示すフィルタ回路に用いた場合、リップル除去を行うことができる。

(実施の形態 8)

図 1 7 は、実施の形態 8 に係る M I M 容量 3 0 0 の構成を示す図である。
20 図 1 7 (a) は M I M 容量 3 0 0 の断面斜視図であり、図 1 7 (b) は M I M 容量 3 0 0 の平面図である。図 1 2 を参照して前述した実施の形態 5 に係る M I M 容量 2 0 0 A の構成要素と同一の構成要素には同一の参照符号を付している。従って、これらの構成要素の詳細な説明は省略する。

25 前述した実施の形態 5 に係る M I M 容量 2 0 0 A と異なる点は、ガード電極 1 1 とコンタクト 1 0 とをさらに備えている点である。ガード電

極 1 1 は、金属領域 1 および金属領域 1 A を囲むように絶縁層 4 の上に形成されている。そして、絶縁層 4 を通ってガード電極 1 1 と金属領域 2 と接続するようにコンタクト 1 0 が形成されている。このようにガード電極 1 1 とコンタクト 1 0 とを設けると、シールド効果を増大させる

5 ことができる。

前述した実施の形態 4 ないし実施の形態 7 に係る M I M 容量 2 0 0 、 2 0 0 A 、 2 0 0 B および 2 0 0 C にガード電極 1 1 とコンタクト 1 0 とを設けてもよい。

10 産業上の利用可能性

以上のように本発明によれば、高性能な M I M 容量を形成することができる。

請求の範囲

1. 基板と、
第1金属領域と、
5 前記基板と前記第1金属領域との間に形成された第2金属領域と、
前記第1金属領域と前記第2金属領域との間に形成された第1絶縁層
とを具備しており、
前記第1金属領域と前記第2金属領域との対向面積によって容量値が
定まるMIM (Metal-Insulator-Metal) 容量で
10 あって、
前記第2金属領域と前記基板との間に形成された第3金属領域と、
前記第3金属領域と前記第2金属領域との間に形成された第2絶縁層
とをさらに具備しており、
前記第3金属領域は、接地電位に接続されていることを特徴とするM
15 IM容量。
2. 前記第3金属領域の前記第2金属領域に対向する面の面積が、前
記第2金属領域の面の面積よりも小さいことを特徴とする、請求の範囲
1記載のMIM容量。
20
3. 前記第3金属領域に形成された金属のない領域は、複数の金属の
ない領域によって形成されたことを特徴とする、請求の範囲2記載のM
IM容量。
- 25 4. 前記複数本の金属のない領域は、互いに平行に形成されている、
請求の範囲3記載のMIM容量。

5. 前記複数本の金属のない領域は、互いに交差するように形成されている、請求の範囲 3 記載の M I M 容量。

5 6. 前記少なくとも 1 本の金属のない領域は、前記第 3 金属領域を対称に分割するように形成されている、請求の範囲 2 記載の M I M 容量。

7. 前記第 3 金属領域が、導電性を有する拡散層で形成されていることを特徴とする、請求の範囲 1 ~ 6 記載の M I M 容量。

10

8. 基板と、

前記基板にそれぞれ対向するように形成された第 1 金属領域および第 2 金属領域と、

15 前記第 1 金属領域に対向するように前記第 1 金属領域と前記基板との間に形成された第 3 金属領域と、

前記第 2 金属領域に対向するように前記第 2 金属領域と前記基板との間に形成された第 4 金属領域と、

前記第 1 金属領域と前記第 3 金属領域との間および前記第 2 金属領域と前記第 4 金属領域との間に形成された絶縁膜とを具備しており、

20 前記第 1 金属領域と前記第 3 金属領域との対向面積によって第 1 容量値が定まり、前記第 2 金属領域と前記第 4 金属領域との対向面積によって第 2 容量値が定まる M I M 容量であって、

前記第 3 金属領域と前記第 4 金属領域との双方に対向するように、前記第 3 金属領域および前記第 4 金属領域と前記基板との間に電氣的浮遊
25 状態で形成された第 5 金属領域をさらに具備することを特徴とする M I M 容量。

9. 前記第 5 金属領域は、接地電位に接続されている、請求の範囲 8 記載の M I M 容量。

5 10. 前記第 5 金属領域は、前記第 3 金属領域に対するインピーダンスと前記第 4 金属領域に対するインピーダンスとが実質的に等しくなるような接続点において前記接地電位に接続されている、請求の範囲 9 記載の M I M 容量。

10 11. 基板と、

前記基板にそれぞれ対向するように形成された第 1 金属領域および第 2 金属領域と、

前記第 1 金属領域と前記第 2 金属領域との双方に対向するように前記第 1 金属領域および前記第 2 金属領域と前記基板との間に形成された第

15 3 金属領域とを具備しており、

前記第 1 金属領域と前記第 3 金属領域との対向面積によって第 1 容量値が定まり、前記第 2 金属領域と前記第 3 金属領域との対向面積によって第 2 容量値が定まる M I M 容量であって、

前記第 3 金属領域は、電氣的浮遊状態になるように形成されているこ
20 とを特徴とする M I M 容量。

12. 前記第 3 金属領域は、接地電位に接続されている、請求の範囲 11 記載の M I M 容量。

25 13. 前記第 3 金属領域は、前記第 1 金属領域に対するインピーダンスと前記第 2 金属領域に対するインピーダンスとが実質的に等しくなる

ような接続点において前記接地電位に接続されている、請求の範囲 1 2 記載の M I M 容量。

- 1 4. 前記第 5 金属領域が、導電性を有する拡散層で形成されている .
- 5 ことを特徴とする、請求の範囲 8 ~ 1 0 記載の M I M 容量。

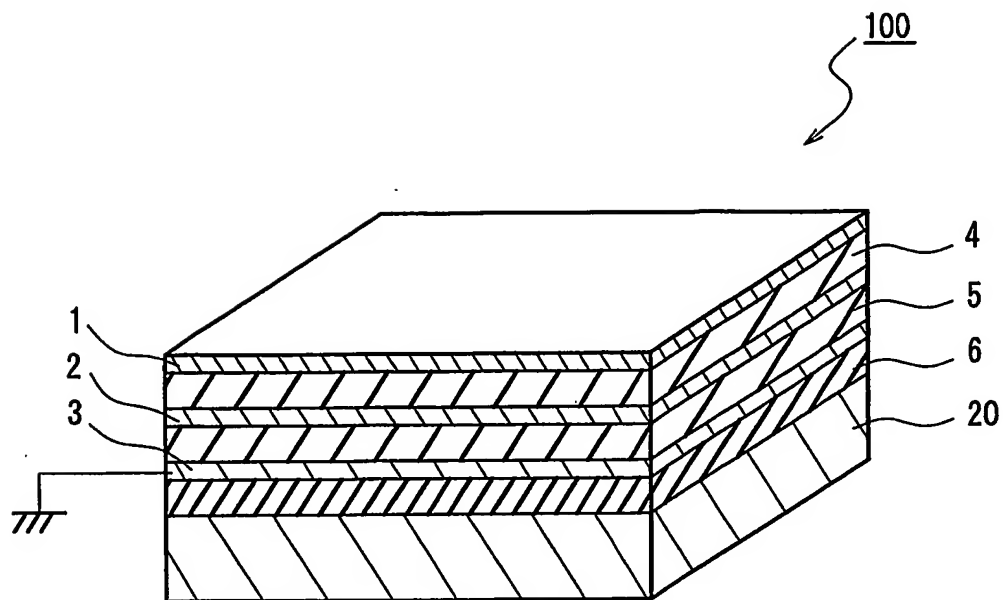


FIG. 1

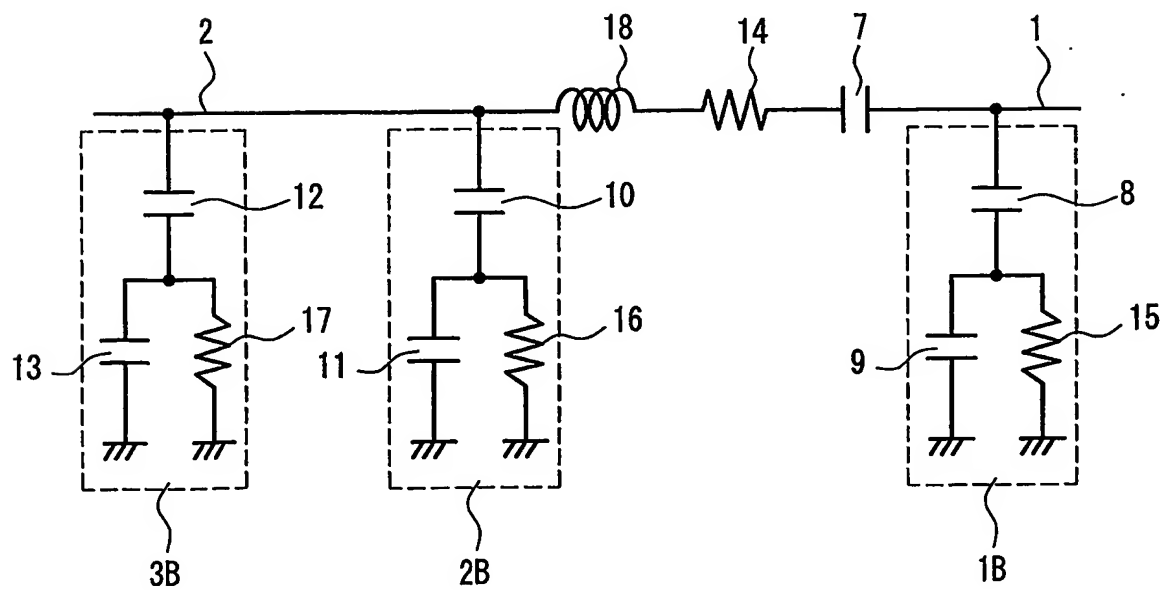


FIG. 2

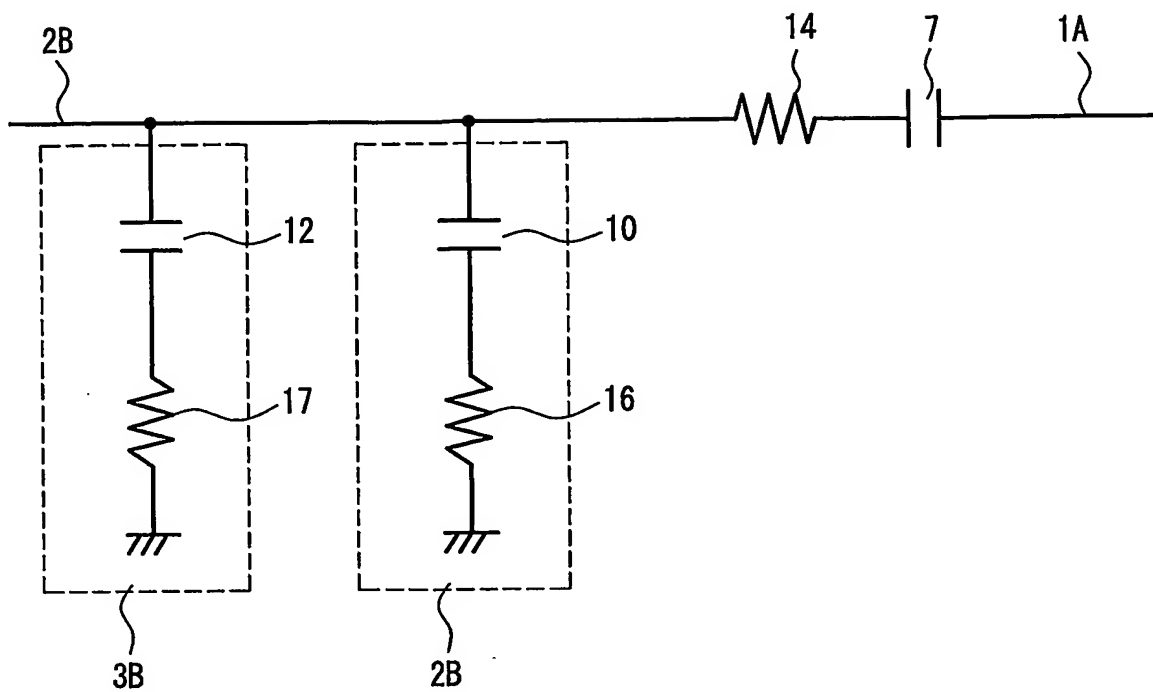


FIG. 3

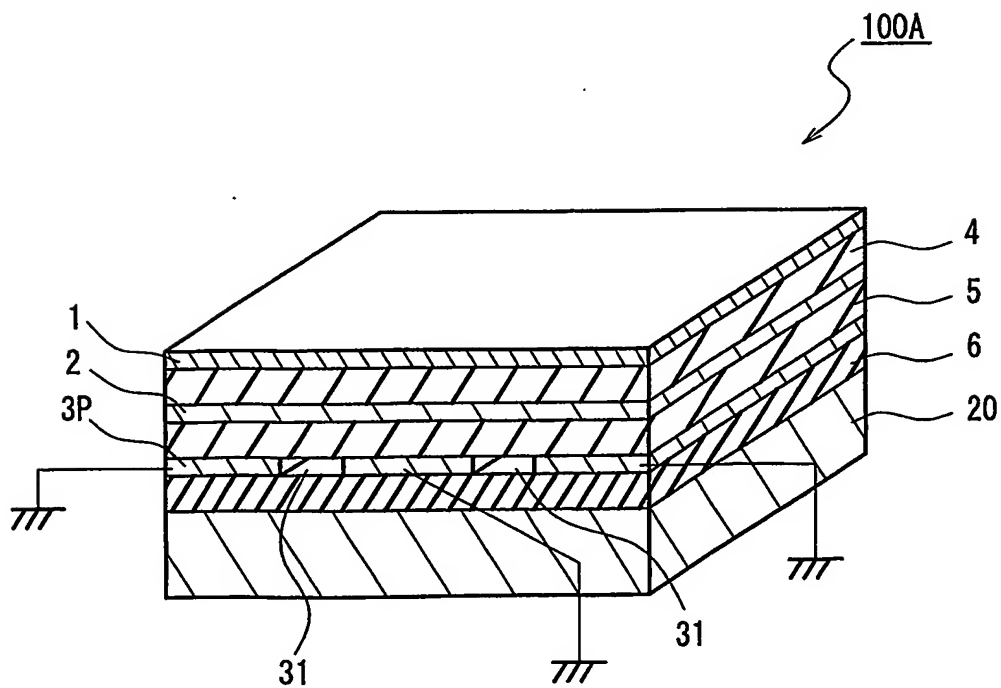


FIG. 4

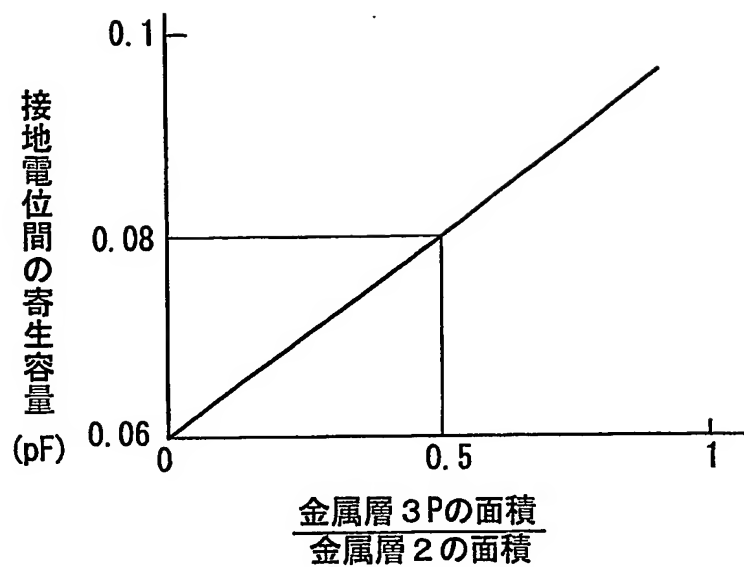


FIG. 5

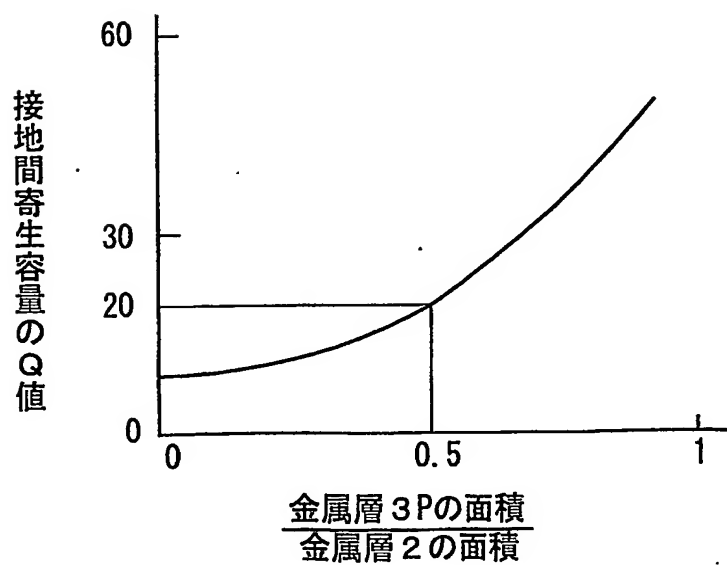


FIG. 6

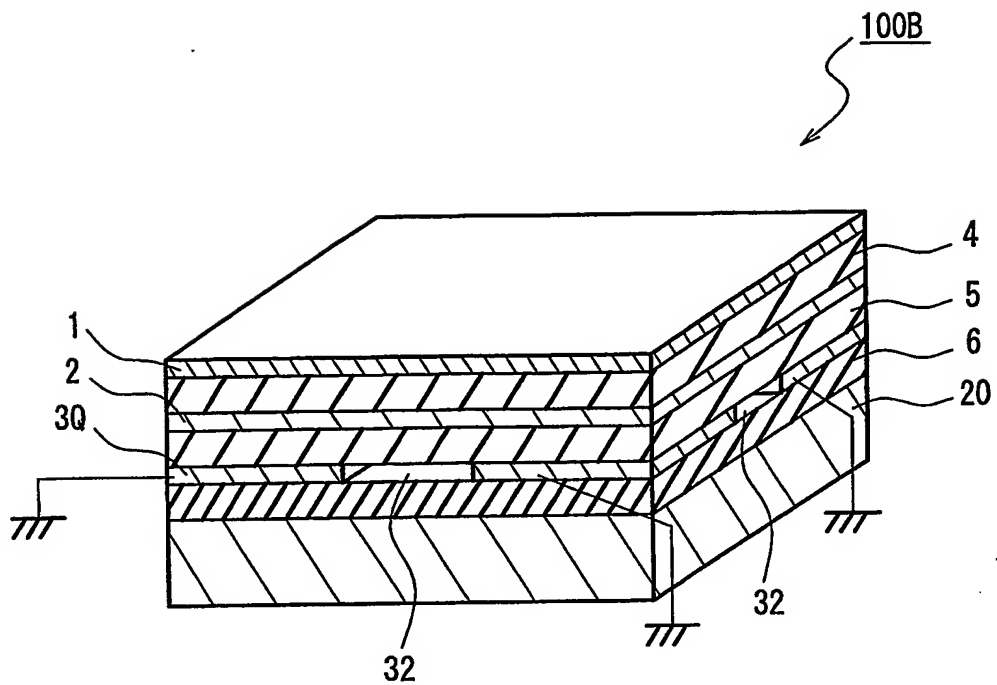


FIG. 7

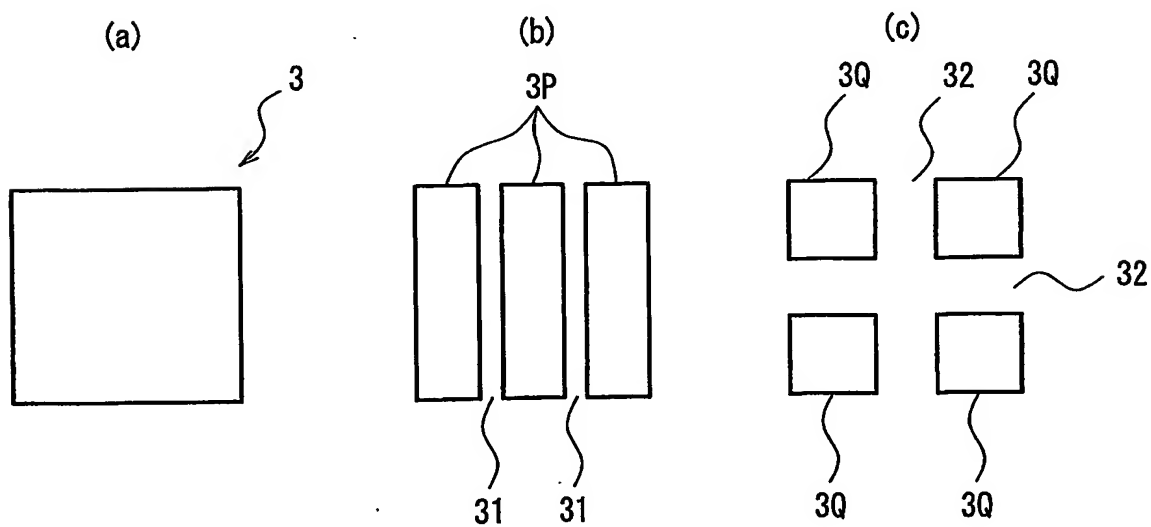


FIG. 8

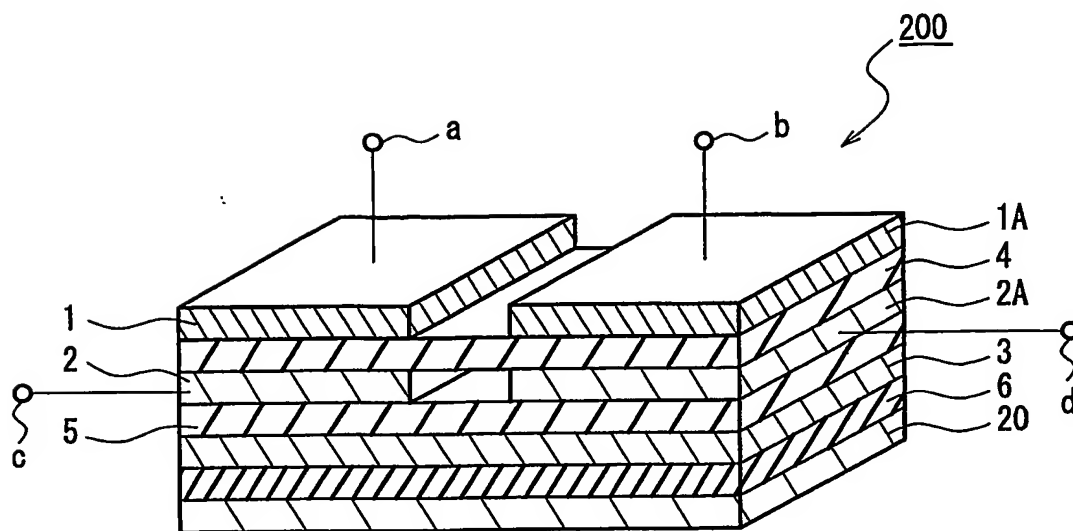


FIG. 9

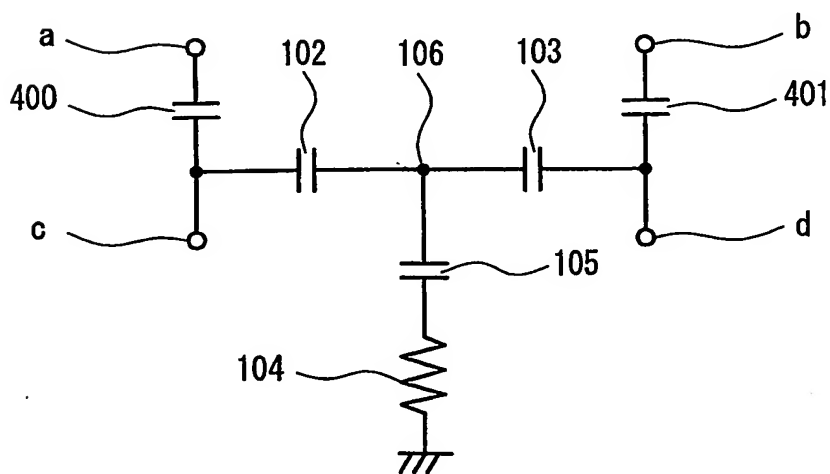


FIG. 10

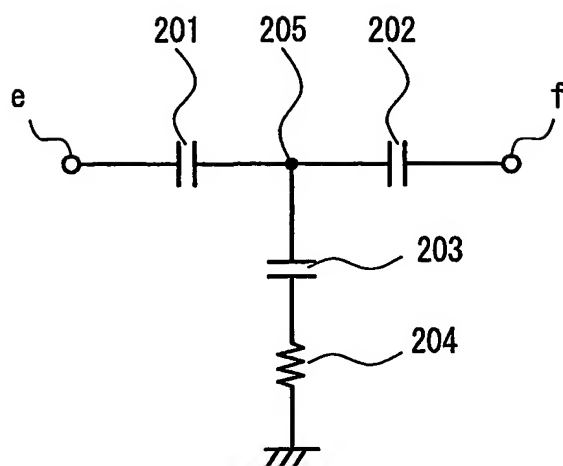


FIG. 13

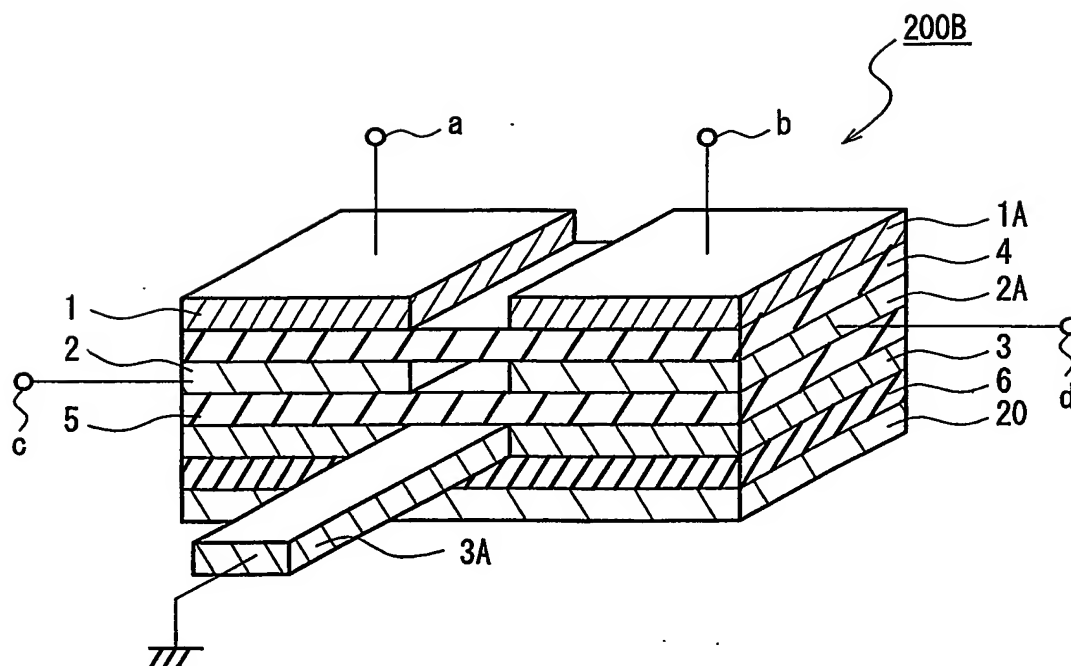


FIG. 14

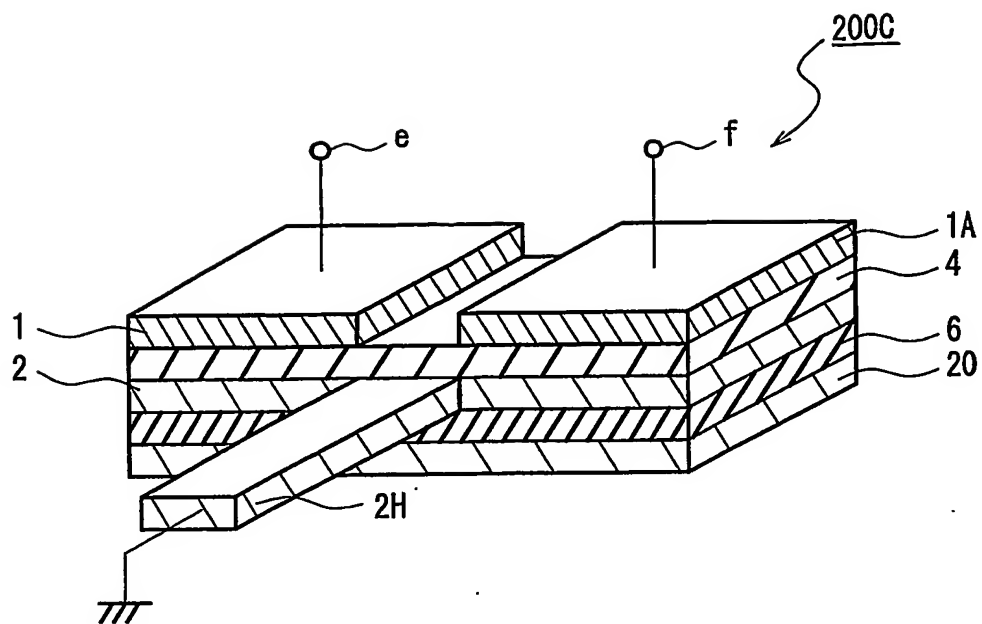


FIG. 15

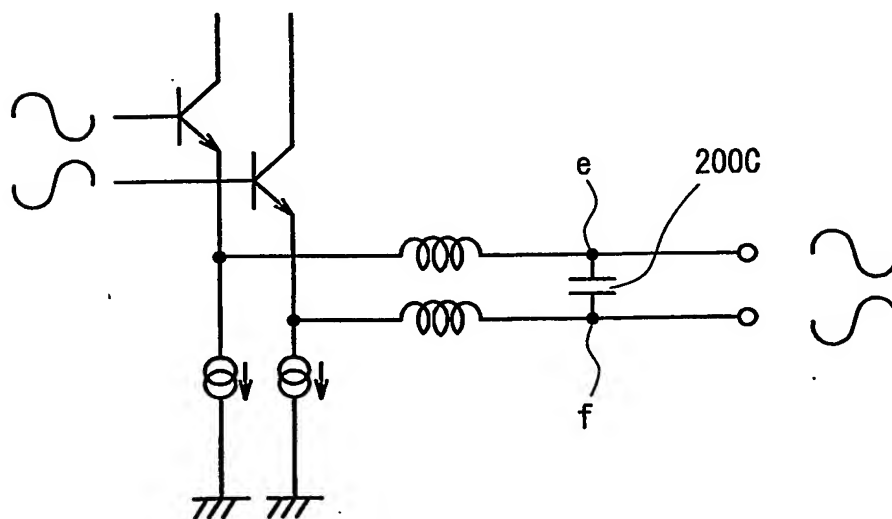


FIG. 16

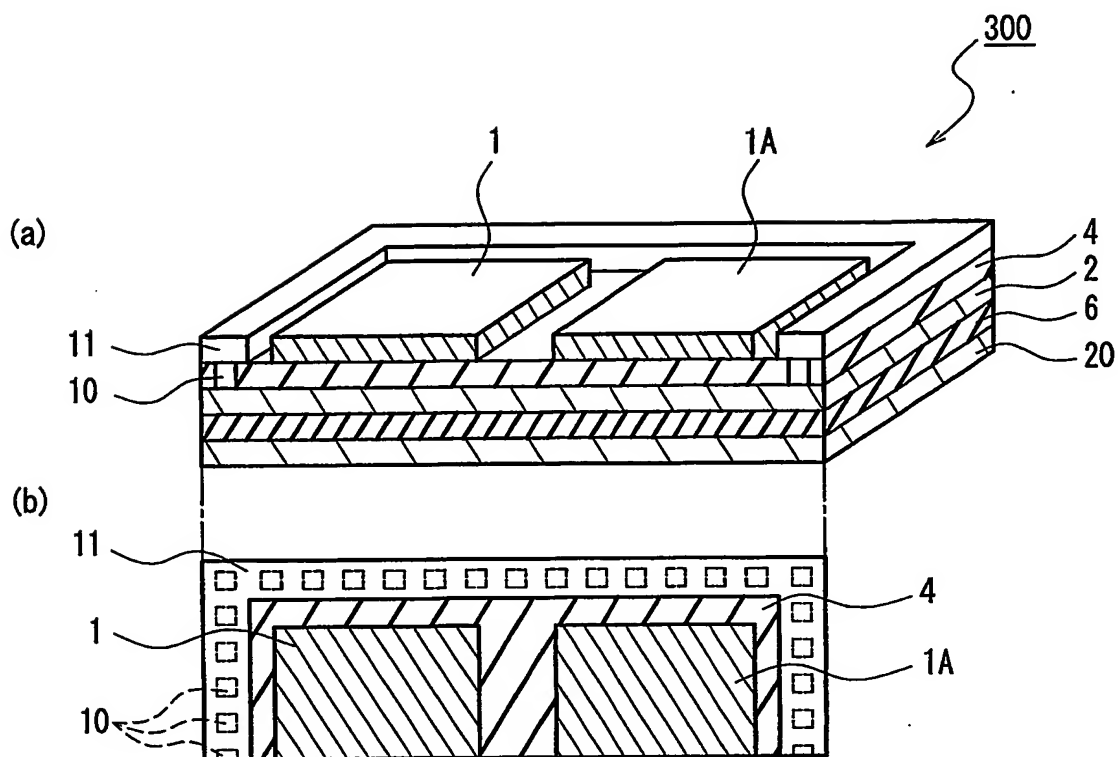


FIG. 17

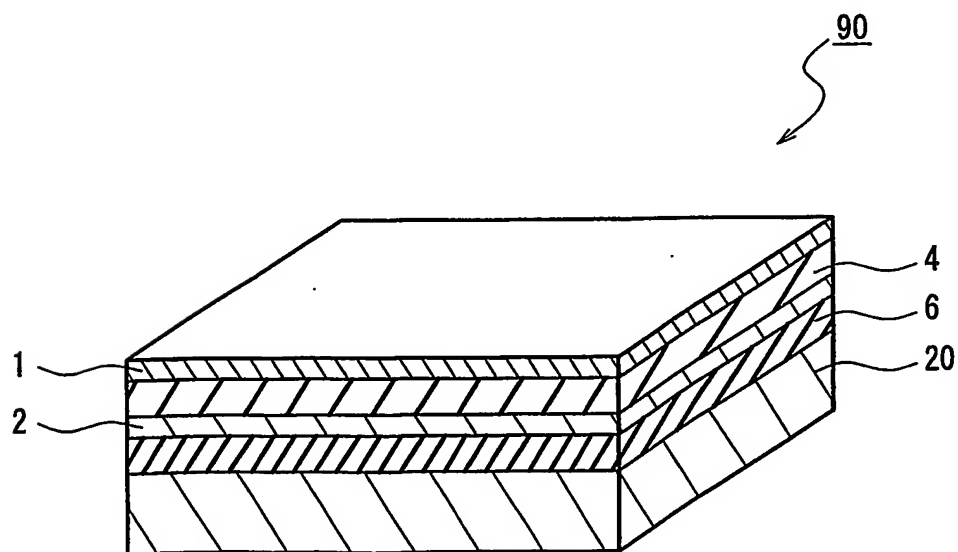


FIG. 18

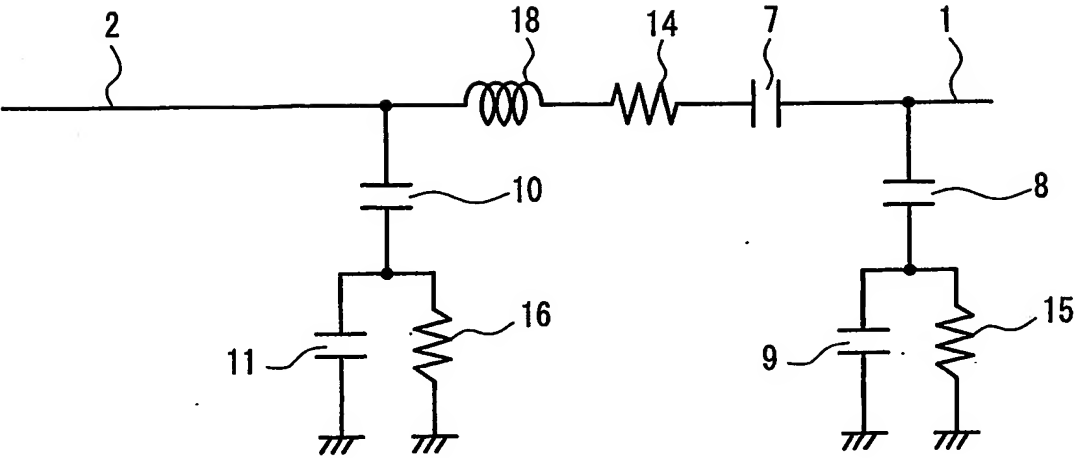


FIG. 19

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP03/11132

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ H01L27/04, H01G4/33

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ H01L27/04, H01G4/33

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2003
Kokai Jitsuyo Shinan Koho	1971-2003	Toroku Jitsuyo Shinan Koho	1994-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
P, X	JP 2003-152085 A (Fujitsu Ltd.), 23 May, 2003 (23.05.03), Full text; all drawings (Family: none)	1-4
X Y A	JP 2001-60661 A (Japan Radio Co., Ltd.), 06 March, 2001 (06.03.01), Full text; all drawings (Family: none)	1 8, 9 2-6, 10-13
X Y A	US 6198153 B1 (LSI LOGIC CORP.), 06 March, 2001 (06.03.01), Full text; all drawings & JP 10-303373 A Full text; all drawings & EP 875944 A1	1 8, 9 2-6, 10-13

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
03 December, 2003 (03.12.03)

Date of mailing of the international search report
16 December, 2003 (16.12.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/11132

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	US 6111742 A (ST MICRO ELECTRONICS S.A.), 29 August, 2000 (29.08.00), Full text; all drawings & JP 11-154731 A Full text; all drawings	1 8,9 2-6,10-13
X	JP 11-26290 A (Kyocera Corp.), 29 January, 1999 (29.01.99), Full text; all drawings (Family: none)	11-13
X	JP 5-235266 A (NEC IC Miconsystem Kabushiki Kaisha), 10 September, 1993 (10.09.93), Full text; all drawings (Family: none)	1,7-9,14
Y	US 4918454 A (CRYSTAL SEMICONDUCTOR CORP.), Full text; Fig. 4 & JP 2-210859 A Full text; Fig. 4	8,9

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/04, H01G4/33

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L27/04, H01G4/33

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国実用新案登録公報	1996-2003年
日本国登録実用新案公報	1994-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
PX	JP 2003-152085 A (富士通株式会社) 2003.05.23, 全文, 全図 (ファミリーなし)	1-4
X Y A	JP 2001-60661 A (日本無線株式会社) 2001.03.06, 全文, 全図 (ファミリーなし)	1 8, 9 2-6, 10-13

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

- 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

- 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日

03.12.03

国際調査報告の発送日

16.12.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
郵便番号 100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

棚田 一也

4 L

3125

電話番号 03-3581-1101 内線 3462

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	US 6198153 B1 (LSI LOGIC CORPORA TION) 2001. 03. 06, 全文, 全図 & JP 10-303373 A, 全文, 全図 & EP 875944 A1	1 8,9 2-6,10-13
X Y A	US 6111742 A (STMICROELECTRONIC S S. A.) 2000. 08. 29, 全文, 全図 & JP 11-154731 A, 全文, 全図	1 8,9 2-6,10-13
X	JP 11-26290 A (京セラ株式会社) 1999. 01. 29, 全文, 全図 (ファミリーなし)	11-13
X	JP 5-235266 A (日本電気アイシーマイコンシステム 株式会社) 1993. 09. 10, 全文, 全図 (ファミリーなし)	1,7-9,14
Y	US 4918454 A (CRYSTAL SEMICONDU CTOR CORPORATION), 全文, 第4図 & JP 2-210859 A, 全文, 第4図	8,9